

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-103169
(43)Date of publication of application : 06.04.1992

(51) Int.Cl. H01L 27/148
H04N 5/335

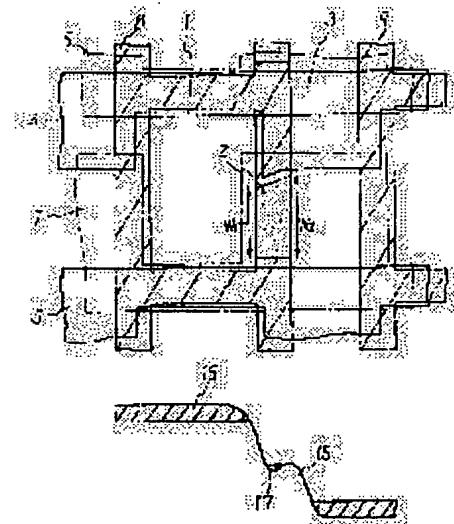
(21)Application number : 02-221531 (71)Applicant : NEC CORP
(22)Date of filing : 23.08.1990 (72)Inventor : ORIHARA KOZO

(54) CHARGE TRANSFER IMAGE SENSING DEVICE

(57)Abstract:

PURPOSE: To prevent a potential barrier from occurring and to eliminate charge left, unread at the readout of signal charge so as to obtain accurate image data by a method wherein a transfer gate is set deeper at a photoelectric conversion element side than at a vertical register side in channel potential.

CONSTITUTION: Supposing that a vertical register of four-phase drive is provided, and a second vertical transfer electrode 7 is made to serve also as a transfer gate electrode. The channel width of a transfer gate region 2 is specified by the space of a channel stopper 8 and different from that of a conventional one in such a point that a width W1 on a photoelectric conversion element side is changed to a width W2 larger than the width W1 on a vertical resistor side. W1 and W2 are so set to $5\mu\text{m}$ or below that a narrow channel effect can be expected. It is preferable that $(W2-W1)$ is 20-30% of $1/2(W1+W2)$. By this setup, a transfer gate region becomes gradually deeper in channel potential from a photoelectric conversion element toward a vertical register, so that a potential barrier 15 shown in a figure 6 can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

平4-103169

⑤Int. Cl.⁵H 01 L 27/148
H 04 N 5/335

識別記号

厅内整理番号

⑬公開 平成4年(1992)4月6日

F

8838-5C

8122-4M

H 01 L 27/14

B

審査請求 未請求 請求項の数 1 (全5頁)

⑥発明の名称 電荷転送撮像装置

⑦特 願 平2-221531

⑧出 願 平2(1990)8月23日

⑨発明者 織原 弘三 東京都港区芝5丁目7番1号 日本電気株式会社内

⑩出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑪代理人 弁理士 内原 晋

明細書

発明の名称

電荷転送撮像装置

特許請求の範囲

半導体基板上に二次元的に配列された複数の光電変換素子と、該光電変換素子に蓄積された信号電荷を並列に転送する垂直レジスタと、前記光電変換素子から前記垂直レジスタへ電荷を転送するトランスマッピングゲートと、前記垂直レジスタの信号電荷を順次転送する水平レジスタと、前記水平レジスタの一端に設けられた電荷検出部とを少なくとも備えており、前記トランスマッピングゲートのチャネルの電位が前記光電変換素子側よりも前記垂直レジスタ側が深くなっていることを特徴とする電荷転送撮像装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は電荷転送撮像装置に関し、特にインターライン転送型CCD撮像装置に関する。

〔従来の技術〕

第3図はインターライン転送型CCD撮像装置の構成図を示す。図に於て、1は光電変換素子、10はトランスマッピングゲート、11は垂直レジスタ、12は水平レジスタ、13は電荷検出部をそれぞれ示す。この装置の動作を以下に説明する。垂直ブランディング期間内にトランスマッピングゲート10をオンすることによって、所定の期間入射光強度に比例して光電変換素子1に蓄積された信号電荷を垂直レジスタ11に読み出すと同時に、光電変換素子を所定の電位に設定し次の期間の電荷蓄積を開始する。読み出された信号電荷は水平ブランディング期間に垂直レジスタを並列に転送され水平レジスタ12に転送される。その後、水平レジスタ中を転送され電荷検出部13によって外部に映像信号として順次出力される。

第4図は第3図の撮像装置の画素構造の一例を説明するための平面模式図を示す。図に於て、1

1は光電変換素子、2はトランスマルチゲート領域、3は垂直レジスタのチャネル、4、5は1層目の垂直転送電極、6、7は2層目の垂直転送電極、8、9はチャネルストップをそれぞれ示す。本装置では、4相駆動の垂直レジスタを仮定し、光電変換素子1から垂直レジスタのチャネル3へ電荷を読み出すためのトランスマルチゲート電極は2層目の垂直転送電極7がその機能を兼ねている。また、この例ではトランスマルチゲート領域2のチャネル幅Wは、チャネルストップ8の間隔で規定されている。

第5図は第3図の撮像装置の画素構造の他の例を説明するための平面模式図を示す。第4図の例と同様に、4相駆動の垂直レジスタを仮定しトランスマルチゲート電極は2層目の垂直転送電極7がその機能を兼ねている。本例ではトランスマルチゲート領域2のチャネル幅Wは、1層目の垂直転送電極4および5の間隔で規定されている。

第6図(a)は、第4図および第5図のA-A線に沿った画素の断面図を示す。半導体基板14

垂直レジスタへの転送方向に沿ってトランスマルチゲートのチャネル幅が他よりも狭い部分が存在すると、その部分のチャネル電位が低くなる。第6図(b)は光電変換素子の信号電荷を垂直レジスタへ読み出す際の第6図(a)に示した断面における電位分布を模式的に表わした図である。上述したような原因によってトランスマルチゲート領域のチャネルに電位の低い部分が存在すると、光電変換素子に蓄積された信号電荷16を垂直レジスタへ読み出す際に電位の低い部分が電位障壁15となり、これによって信号電荷の完全な読み出しが実現されずに取り残し電荷17が生じる。このような取り残し電荷が存在すると、再生画面上で残像が発生する、あるいは解像度の劣化を引き起こすなど正確な画像情報が得られないという問題が起こる。

本発明の目的は、上述のような従来の欠点を除去した新しい電荷転送撮像装置を提供することにある。

[課題を解決するための手段]

上に基板とは反対導電型を有する光電変換素子1および垂直レジスタのチャネル3が形成されている。通常トランスマルチゲート領域2にはしきい値制御のために基板と同導電型の不純物を導入しているが、その濃度はチャネル領域の面内で一定である。

[発明が解決しようとする課題]

現在、商品化されている製品の主流である1/2インチフォーマットの電荷転送撮像装置では、単位画素の垂直ピッチは約8~10μmであり、第4図および第5図で示したトランスマルチゲート領域のチャネル幅は2~3μm程度である。一般的にチャネル幅がおよそ5μm以下程度に減少していくと、チャネルストップ8からの空乏層の広がりによってチャネル電位が低下するナローチャネル効果が現われてくるが、この現象はチャネル幅が狭くなるほど顕著になる。トランスマルチゲート領域のチャネル幅を規定しているチャネルストップ(第4図)あるいは1層目の転送電極(第5図)の加工ばらつきによって、光電変換素子から

本発明の電荷転送撮像装置は、半導体基板上に二次元的に配列された複数の光電変換素子と、該光電変換素子に蓄積された信号電荷を並列に転送する垂直レジスタと、前記光電変換素子から前記垂直レジスタへ電荷を転送するトランスマルチゲートと、前記垂直レジスタの信号電荷を順次転送する水平レジスタと、前記水平レジスタの一端に設けられた電荷検出部とを少なくとも備えており、前記トランスマルチゲートのチャネルの電位が前記光電変換素子側よりも前記垂直レジスタ側が深くなっているというものである。

[実施例]

第1図は、本発明による電荷転送撮像装置の一実施例の画素を示す平面模式図である。本例では4相駆動の垂直レジスタを仮定し、トランスマルチゲート電極は2層目の垂直転送電極7がその機能を兼ねている。本例でも第4図の従来例と同様にトランスマルチゲート領域2のチャネル幅はチャネルストップ8の間隔で規定されているが、第4図の例と異なるのはチャネル幅が光電変換素子側の

W_1 から垂直レジスタ側の W_2 へ広くなるように変化している点である。 W_1 , W_2 はともにナローチャネル効果が現われる程度の値であり、 $5\mu m$ 以下である。又、($W_2 - W_1$) は $1/2$ ($W_1 + W_2$) の $20\sim30\%$ 程度にするのがよい。これによって、トランスマゲート領域のチャネル電位は光電変換素子から垂直レジスタに向かって深くなるために、第6図のような電位障壁の存在を防止できる。

第2図は、本発明による電荷転送撮像装置の別の実施例の画素を示す平面模式図である。本例においても4相駆動の垂直レジスタを仮定し、トランスマゲート電極は2層目の垂直転送電極7がその機能を兼ねている。本例でも第4図の従来例と同様にトランスマゲート領域2のチャネル幅Wはチャネルストッパ8の間隔で規定されているが、第4図の例と異なるのはしきい値制御のために導入されている不純物濃度がチャネル面内で一定ではなく、トランスマゲート領域が不純物濃度の高い領域2(例えば $3 \times 10^{17} cm^{-3}$) とこ

チャネルに導入する不純物濃度の異なる2つの領域からなる例を示したが、3つ以上の異なる不純物濃度の異なる領域で構成することや、あるいは連続的に不純物濃度を変化させることも可能である。さらに、第1図および第2図の例を組み合せて、トランスマゲート領域のチャネル幅とチャネルに導入する不純物濃度の両方を変化させることも可能である。

(発明の効果)

以上述べたように、本発明ではトランスマゲート領域のチャネル電位が光電変換素子側よりも垂直レジスタ側が深くなっているために、電位障壁の存在を防ぐことで信号電荷の読み出しの際に電荷の取り残しが発生しない。したがって画面上で残像が現われたり、あるいは解像度の劣化が引き起こされるなどの従来の欠点を除去することが可能であり、正確な画像情報を出力する電荷転送撮像装置が得られる。

図面の簡単な説明

れより不純物濃度の低い領域2'(例えば $2 \times 10^{17} cm^{-3}$) の2つの領域で構成されている点である。これにより、トランスマゲート領域のチャネル電位は光電変換素子側の領域2よりも垂直レジスタ側の領域2'が高くなるため、第1図の実施例と同様に第6図のような電位障壁の存在を防止できる。

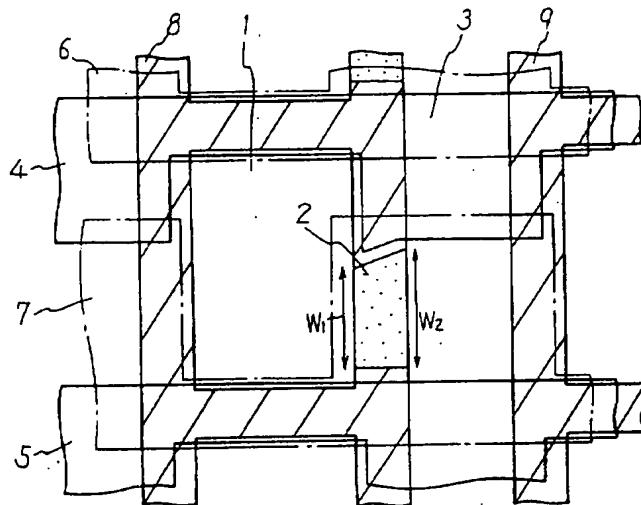
以上のように本発明ではトランスマゲート領域に電位障壁の存在を防ぐために、信号電荷の読み出しの際に電荷の取り残しが生じない。したがって再生画面上で残像が発生したり、解像度の劣化が引き起こされるなどの従来の欠点を除去することが可能であり、正確な画像情報を得られる。

なお、第1図ではトランスマゲート領域のチャネル幅が光電変換素子側から垂直レジスタ側に向かって連続的に変化している例を示したが、段階的に徐々にチャネル幅を変化させることも可能である。

また第2図ではトランスマゲート領域がチ

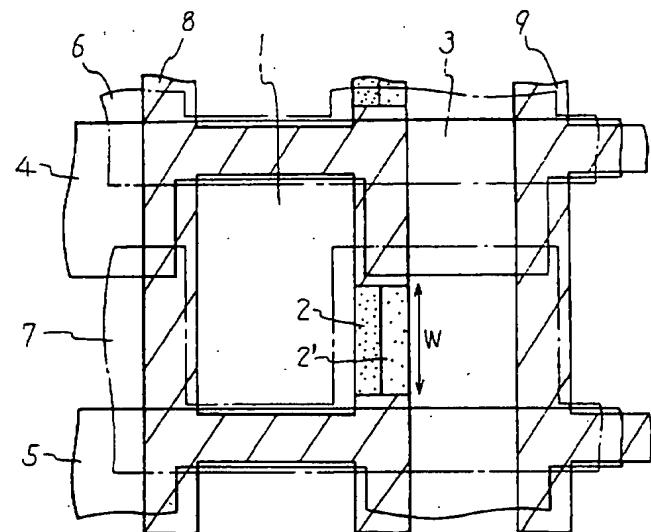
第1図は本発明の一実施例の電荷転送撮像装置の画素を示す平面模式図、第2図は本発明による別の実施例の電荷転送撮像装置の画素を示す平面模式図、第3図はインターライン転送型撮像装置の構成図、第4図および第5図はそれぞれ従来の電荷転送撮像装置の画素を示す平面模式図、第6図(a)および(b)はそれぞれ第4図および第5図のA-Aにおける画素の断面図および電位分布図である。

図において、1は光電変換素子、2, 2'はトランスマゲート領域、3は垂直レジスタのチャネル、4, 5は1層目の垂直転送電極、6, 7は2層目の垂直転送電極、8, 9…チャネルストッパ、10はトランスマゲート、11は垂直レジスタ、12は水平レジスタ、13は電荷検出部、14は半導体基板、15は電位障壁、16は信号電荷、17は取り残し電荷をそれぞれ現わす。



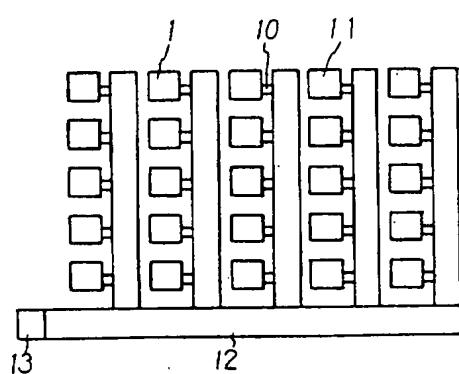
1 光電変換素子
2 ランスファゲート領域
3 垂直レジストラのチャネル
4, 5 1層目の垂直転送電極
6, 7 2層目の垂直転送電極
8, 9 チャネルストップ

第 1 図



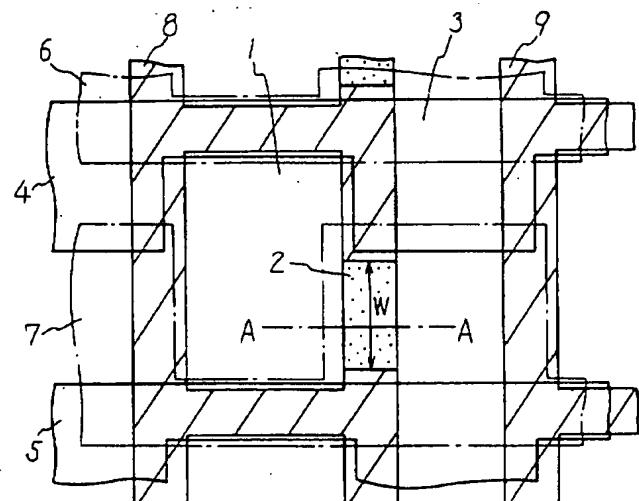
2' ランスファゲート領域

第 2 図



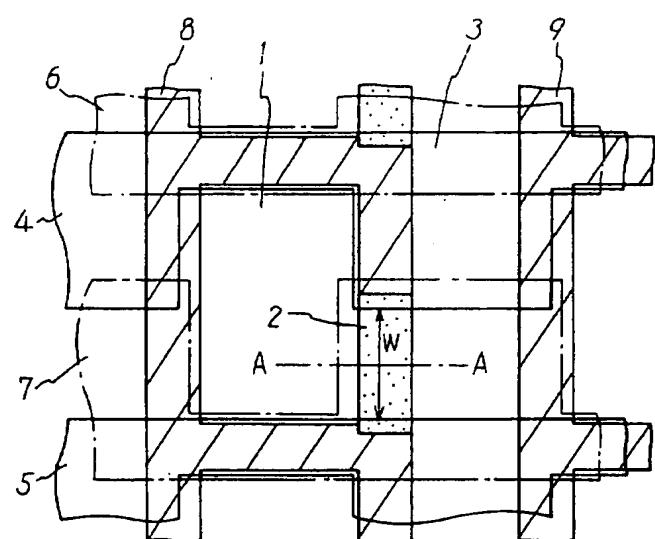
1 光電変換素子
10 ランスファゲート
11 垂直レジスト
12 水平レジスト
13 電荷検出部

第 3 図

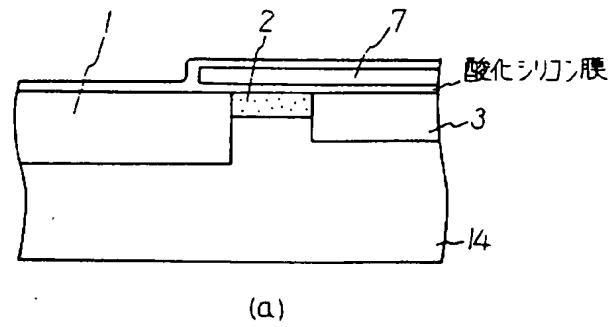


1 光電変換素子
2 ランスファゲート領域
3 垂直レジストラのチャネル
4, 5 1層目の垂直転送電極
6, 7 2層目の垂直転送電極
8, 9 チャネルストップ

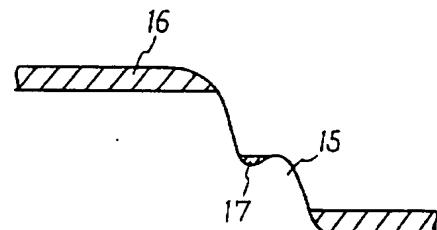
第 4 図



第 5 図



(a)



(b)

14 半導体基板
 15 電位障壁
 16 信号電荷
 17 取り残し電荷

第 6 図